

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-046446
 (43)Date of publication of application : 16.02.1996

(51)Int.Cl.

H03F 3/21
 H01L 21/8234
 H01L 27/088
 H01L 21/337
 H01L 29/808
 H03F 3/195

(21)Application number : 06-177833
 (22)Date of filing : 29.07.1994

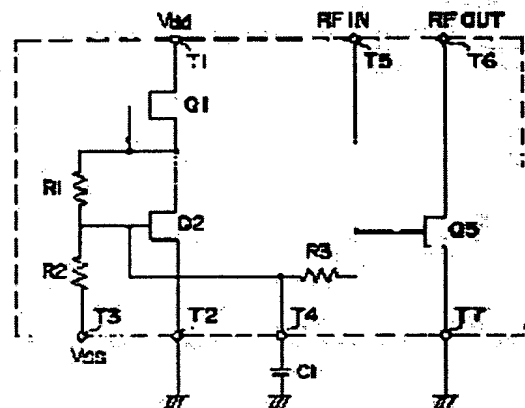
(71)Applicant : OKI ELECTRIC IND CO LTD
 (72)Inventor : NAKAMURA HIROSHI

(54) GATE BIAS CIRCUIT

(57)Abstract:

PURPOSE: To cope with the variation of the pinch-off voltage of an FET.

CONSTITUTION: This circuit is provided with an FETQ 1 which is formed on the same chip as an FETQ 5 for depression mode high frequency amplification where a gate is connected with a RF input terminal T5, a drain is connected with a RF output terminal T6 and a source is connected with a ground terminal T7 and whose drain is connected with a Vdd terminal T1 and source is connected with the gate, an FETQ 2 where the gate is formed on the same chip as the Q5 so as to be wider than the gate of the Q1, the drain is connected with the source of the Q1 and the source is connected with a ground terminal T2, a resistor R1 to be connected between the gates of the Q1 and Q2 on the chip, a resistor R2 to be connected between the gate of the Q2 and a Vss terminal T3 on the chip, a resistor R3 to be connected between the gate of the Q2 and the gate of the Q5 on the chip and an exterior capacitor C1 whose one end is grounded and the other end is connected with the gate of the Q2 via the exterior terminal T4 of the chip.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-46446

(43) 公開日 平成8年(1996)2月16日

(51) IntCl.⁵

H03F 3/21

H01L 21/8234

27/088

識別記号

庁内整理番号

F I

技術表示箇所

8839-5J

H01L 27/08

102 J

9171-4M

29/80

C

審査請求 未請求 請求項の数4 O L (全7頁) 最終頁に続く

(21) 出願番号

特願平6-177833

(22) 出願日

平成6年(1994)7月29日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 中村 浩

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

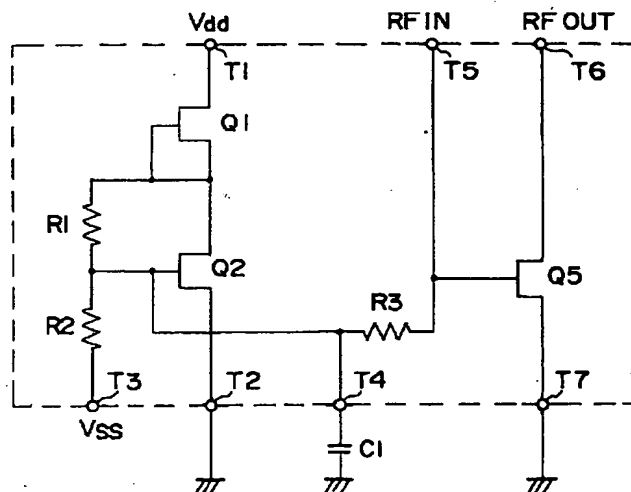
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 ゲートバイアス回路

(57) 【要約】

【目的】 FETのピンチオフ電圧のばらつきに対応可能にする。

【構成】 ゲートがRF入力端子T5に、ドレインがRF出力端子T6に、ソースが接地端子T7に接続されるディプレッションモード型の高周波増幅用FET Q5と同一チップ上に形成され、ドレインがVdd端子T1に接続され、ソースがゲートに接続されるFET Q1と、Q5と同一チップ上にゲートがQ1のゲートより広くなるように形成され、ドレインがQ1のソースに接続され、ソースが接地端子T2に接続されるFET Q2と、チップ上でQ1、Q2のゲート間に接続される抵抗R1と、チップ上でQ2のゲートとVss端子T3との間に接続される抵抗R2と、チップ上でQ2のゲートとQ5のゲートとの間に接続される抵抗R3と、一方端が接地され、他方端がチップの外付け端子T4を介してQ2のゲートに接続される外付コンデンサC1とを具備して構成される。



ゲートバイアス回路の第1の実施例

【特許請求の範囲】

【請求項 1】 制御電極が高周波信号入力端子に接続され一方の被制御電極が高周波信号出力端子に接続され他方の制御電極が基準電位接続端子に接続されるディプレッションモード型の高周波増幅用 FET と同一チップ上に同一の工程で形成され、一方の被制御電極が正電源接続端子に接続され、他方の被制御電極が制御電極に接続される第 1 の FET と、

前記高周波増幅用 FET と同一チップ上に同一の工程で制御電極が前記第 1 の FET の制御電極より広くなるように形成され、一方の被制御電極が前記第 1 の FET の他方の被制御電極に接続され、他方の被制御電極が基準電位接続端子に接続される第 2 の FET と、

前記チップ上で前記第 1 及び第 2 の FET の制御電極間に接続される第 1 の抵抗と、

前記チップ上で前記第 2 の FET の制御電極と負電源接続端子との間に接続される第 2 の抵抗と、

前記チップ上で前記第 2 の FET の制御電極と前記高周波増幅用 FET の制御電極との間に接続される第 3 の抵抗と、

一方端が基準電位点に接続され、他方端が前記チップの外付け端子を介して前記第 2 の FET の制御電極に接続される外付コンデンサとを具備し、

前記チップに正電源及び負電源を接続することで前記高周波増幅用 FET の制御電極にバイアス電圧が印加されるようにしたことを特徴とするゲートバイアス回路。

【請求項 2】 制御電極が高周波信号入力端子に接続され一方の被制御電極が高周波信号出力端子に接続され他方の制御電極が基準電位接続端子に接続されるディプレッションモード型の高周波増幅用 FET と同一チップ上に同一の工程で形成され、一方の被制御電極が正電源接続端子に接続され、他方の制御電極が制御電極に接続される第 1 の FET と、

前記高周波増幅用 FET と同一チップ上に同一の工程で制御電極が前記第 1 の FET の制御電極より広くなるように形成され、一方の被制御電極が前記第 1 の FET の他方の被制御電極に接続され、他方の被制御電極が基準電位接続端子に接続される第 2 の FET と、

前記チップ上で前記第 1 及び第 2 の FET の制御電極間に接続される第 1 の抵抗と、

前記チップ上で前記第 2 の FET の制御電極と負電源接続端子との間に接続される第 2 の抵抗と、

前記チップの外付け端子を介して前記第 2 の FET の制御電極と前記高周波増幅用 FET の制御電極との間に接続される外部付加回路と、

一方端が基準電位点に接続され、他方端が前記チップの外付け端子を介して前記第 2 の FET の制御電極に接続される外付コンデンサとを具備し、

前記チップに正電源及び負電源を接続することで前記高周波増幅用 FET の制御電極にバイアス電圧を印加する

ようにしたことを特徴とするゲートバイアス回路。

【請求項 3】 制御電極が高周波信号入力端子に接続され一方の被制御電極が高周波信号出力端子に接続され他方の制御電極が基準電位接続端子に接続されるディプレッションモード型の高周波増幅用 FET と同一チップ上に同一の工程で形成され、一方の被制御電極が正電源接続端子に接続され、他方の被制御電極が制御電極に接続される第 1 の FET と、

前記高周波増幅用 FET と同一チップ上に同一の工程で制御電極が前記第 1 の FET の制御電極より広くなるように形成され、一方の被制御電極が前記第 1 の FET の他方の被制御電極に接続され、他方の被制御電極が基準電位接続端子に接続される第 2 の FET と、

前記高周波増幅用 FET と同一チップ上に同一の工程で形成され、制御電極が前記第 2 の FET の制御電極に接続され、一方の被制御電極が前記第 2 の FET の他方の被制御電極に接続される第 3 の FET と、

前記前記高周波増幅用 FET と同一チップ上に同一の工程で形成され、一方の被制御電極が前記第 3 の FET の他方の被制御電極に接続され、制御電極が他方の被制御電極と共に前記負電源接続端子に接続される第 4 の FET とを具備し、

前記第 3 の FET の他方の被制御電極と前記第 4 の FET の一方の被制御電極とを前記外付け端子を介して前記外付コンデンサに接続すると共に、第 3 の抵抗を介して前記高周波増幅用 FET の制御電極に接続するようにしたことを特徴とするゲートバイアス回路。

【請求項 4】 前記第 1 の FET は、前記高周波増幅用 FET と同一チップ上に同一の工程で複数個に形成され、それぞれの制御電極及び他方の制御電極が共通に接続され、それぞれの一方の制御電極が独立の正電源接続端子に接続され、任意の正電源接続端子が選択的に正電源に接続されるようにしたことを特徴とする請求項 1、2 いずれか記載のゲートバイアス回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、例えば高周波帯の増幅回路等に用いられるディプレッションモード型電界効果トランジスタのゲートバイアス回路に関する。

【0002】

【従来の技術】 周知のように、自動車電話、携帯電話等の高周波電力増幅部には、例えばディプレッションモード型の GaAs 電界効果トランジスタ（以下、FET と記す）が使用されているが、ゲートには動作点を設定するための負のバイアス（通常、 $-2 \sim -3$ V 程度）が印加される。この電圧は、FET を B 級で動作させるときには高周波信号のない状態（無入力時）でその I_{dss} （ゲート電圧 = 0 V の時のドレイン電流）の $1/10$ 程度になるように選ばれることが多い。

【0003】 しかしながら、上記のような従来のゲート

バイアス回路では、単純にゲートに電圧を加えるだけであるため、FETのピンチオフ電圧が変わるとゲート電圧を変えなければならない。FETのピンチオフ電圧は通常よくばらつくものであり、製造ロット毎またはウェーハ毎、場合によってはウェーハ中のチップ毎でもばらつくことが多い。

【0004】そのため、従来のゲートバイアス回路では、ロット毎、ウェーハ毎または1ウェーハ中のチップ毎にゲートバイアス用の抵抗値を変えるか、高価な可変抵抗を挿入するか、またはFETの出荷時にピンチオフ電圧のランク分けを細かく行っておく必要があった。

【0005】

【発明が解決しようとする課題】以上述べたように、従来のゲートバイアス回路では、FETのピンチオフ電圧にばらつきがあるため、ロット毎、ウェーハ毎または1ウェーハ中のチップ毎にゲートバイアス用の抵抗値を変えるか、高価な可変抵抗を挿入するか、またはFETの出荷時にピンチオフ電圧のランク分けを細かく行う必要があった。

【0006】そこで、この発明は上記の課題を解決すべくなされたもので、複雑な作業が不要で、高価な部品を使用することなく、FETのピンチオフ電圧のばらつきに対応可能なゲートバイアス回路を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を解決するために第1の発明は、制御電極が高周波信号入力端子に接続され一方の被制御電極が高周波信号出力端子に接続され他方の制御電極が基準電位接続端子に接続されるディプレッションモード型の高周波増幅用FETと同一チップ上に同一の工程で形成され、一方の被制御電極が正電源接続端子に接続され、他方の被制御電極が制御電極に接続される第1のFETと、前記高周波増幅用FETと同一チップ上に同一の工程で制御電極が前記第1のFETの制御電極より広くなるように形成され、一方の被制御電極が前記第1のFETの他方の被制御電極に接続され、他方の被制御電極が基準電位接続端子に接続される第2のFETと、前記チップ上で前記第1及び第2のFETの制御電極間に接続される第1の抵抗と、前記チップ上で前記第2のFETの制御電極と負電源接続端子との間に接続される第2の抵抗と、前記チップ上で前記第2のFETの制御電極と前記高周波増幅用FETの制御電極との間に接続される第3の抵抗と、一端が基準電位点に接続され、他方端が前記チップの外付け端子を介して前記第2のFETの制御電極に接続される外付コンデンサとを具備し、前記チップに正電源及び負電源を接続することで前記高周波増幅用FETの制御電極にバイアス電圧が印加されるようにしたことを特徴とする。

【0008】第2の発明は、制御電極が高周波信号入力端子に接続され一方の被制御電極が高周波信号出力端子

に接続され他方の制御電極が基準電位接続端子に接続されるディプレッションモード型の高周波増幅用FETと同一チップ上に同一の工程で形成され、一方の被制御電極が正電源接続端子に接続され、他方の制御電極が制御電極に接続される第1のFETと、前記高周波増幅用FETと同一チップ上に同一の工程で制御電極が前記第1のFETの制御電極より広くなるように形成され、一方の被制御電極が前記第1のFETの他方の被制御電極に接続され、他方の被制御電極が基準電位接続端子に接続される第2のFETと、前記チップ上で前記第1及び第2のFETの制御電極間に接続される第1の抵抗と、前記チップ上で前記第2のFETの制御電極と負電源接続端子との間に接続される第2の抵抗と、前記チップの外付け端子を介して前記第2のFETの制御電極と前記高周波増幅用FETの制御電極との間に接続される外部付加回路と、一端が基準電位点に接続され、他方端が前記チップの外付け端子を介して前記第2のFETの制御電極に接続される外付コンデンサとを具備し、前記チップに正電源及び負電源を接続することで前記高周波増幅用FETの制御電極にバイアス電圧を印加するようにしたことを特徴とする。

【0009】第3の発明は、第1の発明の構成において、さらに、前記高周波増幅用FETと同一チップ上に同一の工程で形成され、制御電極が前記第2のFETの制御電極に接続され、一方の被制御電極が前記第2のFETの他方の被制御電極に接続される第3のFETと、前記前記高周波増幅用FETと同一チップ上に同一の工程で形成され、一方の被制御電極が前記第3のFETの他方の被制御電極に接続され、制御電極が他方の被制御電極と共に前記負電源接続端子に接続される第4のFETとを具備し、前記第3のFETの他方の被制御電極と前記第4のFETの一方の被制御電極とを前記外付け端子を介して前記外付コンデンサに接続すると共に、第3の抵抗を介して前記高周波増幅用FETの制御電極に接続するようにしたことを特徴とする。

【0010】第4の発明は、第1または第2の発明において、前記第1のFETが、前記高周波増幅用FETと同一チップ上に同一の工程で複数個に形成され、それぞれの制御電極及び他方の制御電極が共通に接続され、それぞれの一方の制御電極が独立の正電源接続端子に接続され、任意の正電源接続端子が選択的に正電源に接続されるようにしたことを特徴とする。

【0011】

【作用】上記構成による第1の発明のゲートバイアス回路では、第1のFETのピンチオフ電圧が変化した場合に、第2のFETのゲート電位も変化するが、 I_{dss} の比例関係が維持されるため、この電圧を第3の抵抗を介して同一チップ内すなわち同一ピンチオフ電圧を持つ高周波増幅用FETに加えることにより、このFETに流れる電流もピンチオフ電圧によらず I_{dss} の比例関

係が維持される。よって、自動バイアス設定を実現でき、FETのピンチオフ電圧が変動しても、ゲートバイアスを設定し直す必要がない。

【0012】第2の発明のゲートバイアス回路では、第2のFETのゲートと高周波増幅用FETのゲートをチップ内部で接続せず、チップ外部で付加回路を介して接続することで、例えば高周波増幅用FETのゲートインピーダンスを変化させて最適の値にしたり、また I_{dss} の比例慣例とは異なるバイアス点に設定することができるようにしている。

【0013】第3の発明のゲートバイアス回路では、第2のFETのゲートと高周波増幅用FETのゲートとの間に、第3及び第4のFETからなるソースフォロワ回路を挿入し、第2のFETのゲート点での高インピーダンスを低インピーダンスに変換して高周波増幅用FETのゲートに供給することで、第1及び第2の抵抗を抵抗比を保ったまま高くし、第1及び第2のFETのゲート幅を小さくして、低消費電力化、回路動作の安定化を図る。

【0014】第4の発明のゲートバイアス回路では、第1のFETを複数個形成し、選択的に正電源と接続することで、高周波増幅用FETの無入力時ドレイン電流と I_{dss} との比を外部の接続の仕方のみで数種類に設定することができるようにしている。

【0015】

【実施例】以下、図面を参照してこの発明の実施例を詳細に説明する。

【0016】図1はこの発明に係るゲートバイアス回路の第1の実施例の構成を示す回路図である。図1において、破線内は同一チップ上に形成される。ここで、図中Q5は実際に高周波帯の増幅を行うディプレッションモード型GaAsFETである。また、Q1、Q2は共にQ5と同一または極めて近い単位ゲート幅当りの特性を持つFETであり、Q1のゲート幅はQ2のゲート幅よりも狭く設定される。

【0017】Q1のゲートとソースはQ2のドレインに接続され、Q1のドレインは端子T1を介して固定正電源 V_{dd} に接続され、Q2のソースは端子T2を介してゼロ電位に接地される。また、Q1のソースとQ2のゲートとの間には抵抗R1が接続され、Q2のゲートと固定負電源 V_{ss} に接続される端子T3との間には抵抗R2が接続される。

【0018】Q5のゲートとQ2のゲートは抵抗R3を介して接続される。また、Q2のゲートは端子T4を介し、外付コンデンサC1を通じて接地される。Q5のゲートは高周波信号RFが供給される端子T5に接続され、ドレインは増幅した高周波信号RFを出力する端子T6に接続され、ソースは端子T7を介して接地される。

【0019】上記構成において、以下その動作を説明す

る。

【0020】まず、例えば全てのFETQ1、Q2、Q5において、 I_{dss} （ゲート電圧が0V時の飽和ドレイン電流）の $1/10$ がドレイン電流として流れるゲート電圧（これを V_{gsq} と呼ぶ）が $-2.3V$ であったと仮定する。また、 V_{dd} に $+5V$ 、 V_{ss} に $-5V$ を印加し、Q1の I_{dss} が $2.9mA$ 、Q2の I_{dss} が $29mA$ （すなわちQ2のゲート幅がQ1のゲート幅の10倍）、R1が $45k\Omega$ 、R2が $25k\Omega$ であったとする。さらに、全てのFETの飽和特性が十分に良好で、ドレイン・ソース間電圧が $1.5V \sim 10V$ のときはドレイン電流に変化がないものとする。

【0021】この状態で各点の電圧を計算すると、Q1のソースで約 $+2.5V$ 、Q2のゲートで約 $-2.3V$ となる。回路の働きは次ようになる。

【0022】まず、Q1はゲートとソースが短絡されているので、ドレイン・ソース間に $1.5V$ 以上の電圧がかかっていれば、ドレイン電圧として $2.9mA$ を流す。R1とR2の抵抗値が高いので、その電流はほぼそのままQ2のドレイン電流となり、Q2のドレイン電流は I_{dss} のほぼ $1/10$ となる。これを実現するQ2のゲート電位は $-2.3V$ であり、R2の両端の電圧が $2.7V$ であることから、R2に流れる電流はR1に流れる電流に等しく、 $0.108mA$ となる。よって、Q1のソース電位は $+2.5V$ となる。

【0023】この状態は安定な状態であり、少々 V_{dd} 、 V_{ss} の変動があっても、Q1のソース電圧が $+1.5V \sim 3.5V$ の範囲内にある限りは、Q1とQ2は飽和特性を示すので、Q2のゲート電位は常に I_{dss} のほぼ $1/10$ を実現する値に保たれる。

【0024】もし、FETのピンチオフ電圧が変化した場合、Q2のゲート電位も変化するが、やはり I_{dss} の $1/10$ を実現する値となる。この電圧を抵抗R3を介して同一チップ内すなわち同一ピンチオフ電圧を持つQ5に加えることにより、Q5に流れる電流もピンチオフ電圧によらず I_{dss} の $1/10$ となる。

【0025】このように図1の実施例のゲートバイアス回路では、FETQ1のピンチオフ電圧が変化した場合に、FETQ2のゲート電位も変化するが、 I_{dss} の比例関係が維持されるため、この電圧を抵抗R3を介して同一チップ内すなわち同一ピンチオフ電圧を持つ高周波増幅用FETQ5に加えることにより、このFETQ5に流れる電流もピンチオフ電圧によらず I_{dss} の比例関係が維持される。したがって、自動バイアス設定を実現でき、FETのピンチオフ電圧が変動しても、ゲートバイアスを設定し直す必要がないという効果が得られる。

【0026】試みに、ピンチオフ電圧が約 $-3.2V$ 程度のFETについて、固定ゲートバイアス電圧の元での特性を調べてみると、無入力時ドレイン電流を I_{dss}

の $1/10$ 付近で $\pm 20\%$ に制御するために必要とされるピンチオフ電圧許容範囲が $\pm 0.09\text{V}$ となる。これに対して、本回路を採用した場合には $\pm 0.30\text{V}$ に広げることができた。

【0027】これは、無入力時ドレイン電流をできるだけ一定に制御しようと試みた場合の結果であるが、無入力時ドレイン電流をそのFETの I_{dss} の $1/10$ に設定しようと試みた場合には、ピンチオフ電圧の許容範囲はさらに広がる。これらの効果は、大きな歩留りの向上、無調整化を実現する上で非常に有効である。

【0028】図2は第2の実施例の構成を示すもので、図1に示した第1の実施例の変形である。図2において、図1と同一部分には同一符号を付して示す。この実施例では、図1のQ2のゲートとQ5のゲートがチップ内部で接続されておらず、チップ外部を介して接続されている。

【0029】上記構成において、Q2のゲートで生成されたバイアス電圧は、外付の付加回路で加工されてからQ5のゲートに加えることができる。外付付加回路としては、抵抗のみの他に、図に示すように抵抗R4及びR5とインダクタンスL1の合成回路やバイアス電源を付加する回路等が考えられる。

【0030】このように図2の実施例のゲートバイアス回路では、FETQ2のゲートと高周波増幅用FETQ5のゲートをチップ内部で接続せず、チップ外部で付加回路を介して接続することで、例えば高周波増幅用FETQ5のゲートインピーダンスを変化させて最適の値にしたり、また I_{dss} の比例慣例とは異なるバイアス点に設定することができるようにしている。したがって、FETQ5のゲートインピーダンスを変化させて最適の値にすることができ、また I_{dss} の $1/10$ と異なるバイアス点に設定することが可能である。

【0031】図3は第3の実施例の構成を示すもので、これも図1に示した第1の実施例の変形である。図3において、図1と同一部分には同一符号を付して示す。この実施例では、図1のQ2のゲートとQ5のゲートとの間に、Q3とQ4のFETからなるソースフォロワ回路が挿入されている。

【0032】すなわち、Q3のゲートはQ2のゲートに接続され、Q3のドレインは端子T2を介して接地され、Q3のソースとQ4のドレインは共に接続されて抵抗R3を介してQ5のゲートに接続され、Q4のゲートとソースは共に接続されて端子T3を介して V_{ss} に接続されている。

【0033】上記構成において、Q3とQ4はソースフォロワ回路であるので、Q3のソース電位はQ4のソース電位に追従して変化する。

【0034】このように図3の実施例のゲートバイアス回路では、FETQ2のゲートと高周波増幅用FETQ5のゲートとの間に、FETQ3、Q5からなるソース

フォロワ回路を挿入し、FETQ2のゲート点での高インピーダンスを低インピーダンスに変換して高周波増幅用FETQ5のゲートに供給することで、抵抗R1、R2を抵抗比を保ったまま高くし、FETQ1、Q2のゲート幅を小さくして、低消費電力化、回路動作の安定化を図る。このように、ソースフォロワ回路の追加により、Q2のゲート点での高インピーダンスを低インピーダンスに変換してQ5のゲートに供給できる。このため、R1とR2の抵抗値を比を保ったまま高くし、Q1とQ2のゲート幅を小さくできるので、低消費電力化を実現できる。さらに、Q5のゲートから見たバイアス回路インピーダンスが低いので、回路動作が安定になる。

【0035】図4は第4の実施例の構成を示すもので、これも図1に示した第1の実施例の変形である。図4において、図1と同一部分には同一符号を付して示す。この実施例では、図1のソース及びゲートが共に接続されたQ1のソース及びゲートに接続された1個ないし複数のFETQ1'を有するものである。Q1'のドレインは端子T8を介して外部に引き出されている。

【0036】上記構成において、 V_{dd} 、 V_{dd}' のいずれか一方または両方に電源電圧（例えば $+5\text{V}$ ）を加えてみると、第1の実施例と同様に動作する。このとき、Q1とQ1'のゲート幅を適当に選ぶことにより、Q5の無入力時ドレイン電流と I_{dss} との比を外部の接続の仕方のみで数種類に設定することができる。Q1'が1個のときは最大3通り、Q1'が2個のときは最大7通りまで変形させることができる。このように、図4に示したゲートバイアス回路では、FETQ1を複数個形成し、選択的に正電源と接続することで、高周波増幅用FETの無入力時ドレイン電流と I_{dss} との比を外部の接続の仕方のみで数種類に設定することができるようにしている。

【0037】以上の実施例においては、GaAsのディプレッションモード型FETの例で説明したが、この発明はGaAsに限らず、Si、AlGaAs、InP等、他の物質により構成されるFETにも適用可能である。

【0038】また、上記実施例においては、全てのFETがシングルモード型であったが、デュアルモード型であっても同様に適用可能である。

【0039】バイアスの供給を受けるFETQ5は、実施例では1個であったが、2個以上であってもよいし、また1個ないし2個以上のFETを用いた回路がチップ上に構成されていてもよい。

【0040】上記実施例においては概ね動作点電流が I_{dss} の約 $1/10$ の場合を説明したが、これに限らず、A級動作の約 $1/2$ をはじめ、1未満のあらゆる比率が適用可能である。

【0041】この発明は、特に自動車電話、携帯電話等の高周波電力増幅部に用いて効果的であるが、もちろん

他の電子機器の高周波増幅部にも適用可能であることはいうまでもない。

【0042】その他、この発明は上記実施例に限定されるものではなく、この発明の要旨を逸脱しない範囲で種々変形しても同様に実施可能である。

【0043】

【発明の効果】以上述べたようにこの発明によれば、複雑な作業が不要で、高価な部品を使用することなく、FETのピンチオフ電圧のばらつきに対応可能なゲートバイアス回路を提供することができる。

【図面の簡単な説明】

【図1】この発明に係るゲートバイアス回路の第1の実施例の構成を示す回路図である。

【図2】この発明に係るゲートバイアス回路の第2の実

施例の構成を示す回路図である。

【図3】この発明に係るゲートバイアス回路の第3の実施例の構成を示す回路図である。

【図4】この発明に係るゲートバイアス回路の第4の実施例の構成を示す回路図である。

【符号の説明】

Q1～Q4, Q1'…FET

Q5…ディプレッションモード型FET

R1～R5…抵抗

C1…コンデンサ

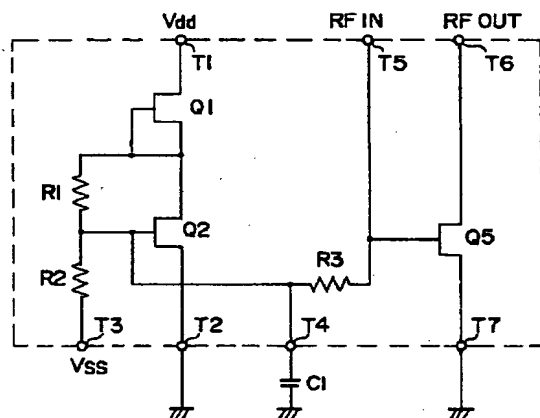
L1…インダクタンス

T1～T8…端子

Vdd…固定正電源

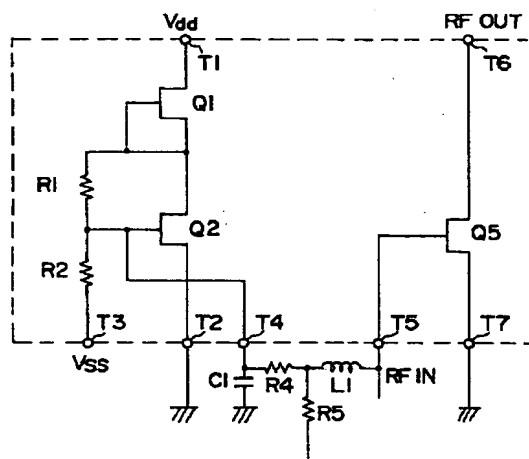
Vss…固定負電源

【図1】



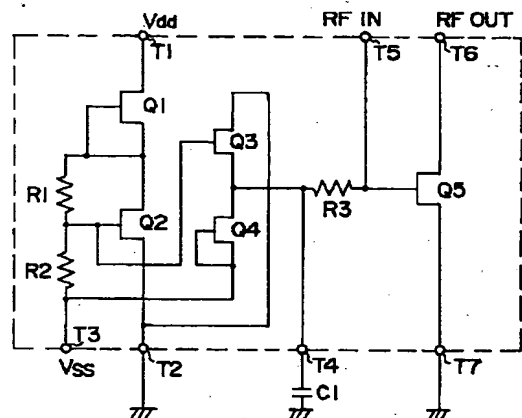
ゲートバイアス回路の第1の実施例

【図2】



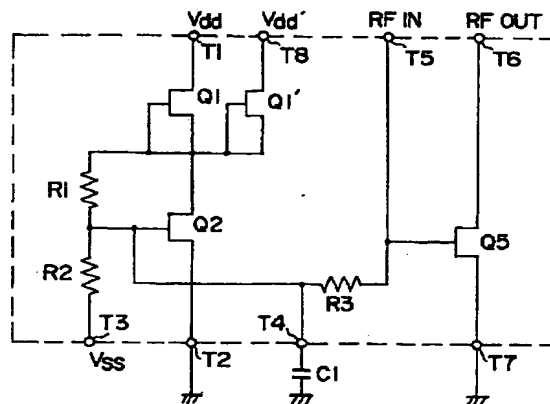
ゲートバイアス回路の第2の実施例

【図3】



ゲートバイアス回路の第3の実施例

【図4】



ゲートバイアス回路の第4の実施例

フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/337

29/808

H 0 3 F 3/195

8839-5 J

THIS PAGE BLANK (USPTO)